

無題

SPECIFICATION

Title of the Invention:
STANDARD CELL SEMICONDUCTOR APPARATUS

Claim:

(1) A semiconductor device, characterized in that necessary standard cells are selected from a cell library, and laid out to attain a designated function, and an unwired cell by gate array is disposed in a portion where no standard cell is disposed on a chip.

Detailed Description of the Invention:

[Industrial Field of Application]

This invention relates to a prototype semiconductor device of an integrated circuit such as LSI or the like developed by a standard cell system.

[Prior Art]

In the standard cell system, an already prepared functional block (standard cell) as shown in Fig. 2 is selected from a cell library, and wiring is performed between the functional blocks to develop an integrated circuit chip.

In the gate array system, a designated transistor is already prepared on a chip, and an integrated circuit having a large system is developed by wiring on the transistor level, and on the contrary, in the standard cell system, a required number of functional blocks constituting the system are grouped to form an integrated circuit. This is the difference between them. Consequently, in the integrated circuit manufactured only by the standard cell, an unused cell will not remain on a chip as in an integrated circuit manufactured by the gate array.

The standard cell has the problem that since a custom mask is provided for all steps of the process, for correcting discrepancies found after the completion of trial production, normally all masks have to be corrected and all steps of the process have to be passed, so that high cost and long time are required.

[Object]

It is an object of the invention to provide a prototype semiconductor device capable of correcting errors on a circuit found after the completion of trial production in a short period of time so as to early complete the development in developing an integrated circuit by standard cell.

[Constitution]

A semiconductor device of the invention is characterized in that necessary standard cells are selected from a cell library, and laid out to attain a designated function, and an unwired cell by gate array is disposed in a portion where no standard cell is disposed on a chip.

Also in the standard cell system, whether it is manual arrangement or automatic arrangement, it is common that an unused portion remains on a chip due to a difference in cell width. The unused portion has been left as it is and trial production has been completed to perform mass-production heretofore. In the standard cell system of the invention, however, an unwired cell used in an ordinary gate array as shown in Fig. 3 is disposed in the unused portion.

One embodiment will now be described concretely.

Fig. 1 shows an example of one chip of LSI constituted by the standard cell system of the invention. Areas designated by the signs (a) to (h) are respectively standard cell units which are selected from a cell library and laid out, and wiring 2 is performed between the standard cells to constitute an LSI exhibiting an intended function.

The standard cells to be selected are, for example, cells (a) respectively provided with a logic function like a flip-flop shown in a circuit diagram of Fig. 2, and as shown in Fig. 1, geometrically shaped in such a manner that the height H is fixed and the width W are indeterminate.

In the present embodiment, an area designated by the sign (R) is existent. The area (R) is an area where no standard cell is arranged, and in the area (R), an unwired cell as used in a normal gate array is provided as a recovery cell. The unwired cell R is a cell used for altering or correcting the circuit of a prototype LSI.

An example of the unwired cell R has, as shown in Fig. 3, a CMOS structure including NMOS transistors Qn1, Qn2, and PMOS transistors Qp1, Qp2.

Plural input/output pads 4 are arranged in the peripheral edge part of the chip.

In the state where the trial production of the LSI chip of Fig. 1 is

無題

completed, wiring is also performed in the standard cells (a) to (h) to form a circuit, but in the unwired cell R, wiring to form a circuit is not performed.

At the completion of trial production of the LSI chip, no trouble is caused, and when the circuit constituted by the standard cells (a) to (h) fulfills a desired function, the unwired cell R is still an unwired cell even in mass production, which causes no problem in the performance of the LSI similarly to the unused cell in the normal gate array.

On the other hand, in the case of causing a trouble at the completion of trial-manufacturing the LSI chip, wiring is performed in the unwired cell R to add a gate, thereby altering the circuit.

Though the unwired cell having a CMOS structure is shown in Fig. 3 as an unwired cell in the present embodiment, it is not restrictive, but all of unwired cells are applied to the invention if they have a structure used in the normal gate array.

[Effects]

According to the invention, the unwired cell by the gate array is disposed on the standard cell semiconductor device, whereby prototype revision work can be performed by using the unwired cell. As a result, in altering the circuit, it will be sufficient only to correct a mask for contact hole and a mask for metal wiring, and furthermore, in view of process, it will be sufficient to correct the contact hole forming process and later processes, so that revision of the prototype semiconductor device can be completed in a very short period of time as compared with the case of correcting the standard cell part as in the past.

According to the invention, as described above, the prototype revision work can be performed at a low cost and in a short period of time as compared with the conventional standard cell semiconductor device.

Brief Description of the Drawings:

Fig. 1 is a schematic plan view showing one embodiment;

Fig. 2 is a circuit diagram showing an example of a unit of a standard cell in the above embodiment; and

Fig. 3 is a circuit diagram showing an example of an unwired cell in the above embodiment.

(a) to (h): standard cell R: unwired cell

⑯ 公開特許公報 (A) 昭61-253831

⑯ Int.Cl.⁴
H 01 L 21/82識別記号 庁内整理番号
8526-5F

⑯ 公開 昭和61年(1986)11月11日

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 スタンダードセル方式の半導体装置

⑯ 特 願 昭60-94778

⑯ 出 願 昭60(1985)5月2日

⑯ 発明者 德 谷 重 信	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑯ 発明者 高 橋 豊 文	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑯ 発明者 東 井 秀 夫	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑯ 発明者 林 能 昌	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑯ 出願人 株式会社リコー	東京都大田区中馬込1丁目3番6号	
⑯ 代理人 弁理士 野口 繁雄	東京都大田区中馬込1丁目3番6号	

明細書

1. 発明の名称

スタンダードセル方式の半導体装置

2. 特許請求の範囲

(1) セルライブラリから必要なスタンダードセルが選択され、所定の機能を達成するようにレイアウトが施されているとともに、

チップ上でスタンダードセルが配置されていない部分にゲートアレイによる未配線セルが配置されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(技術分野)

本発明は、スタンダードセル方式により開発されるLSIなどの集積回路の試作半導体装置に関するものである。

(従来技術)

スタンダードセル方式とは、既に用意されている第2回のような機能ブロック（スタンダードセル）をセルライブラリより選択し、機能ブロック間の配線を行なって集積回路チップを開発する方

式である。

ゲートアレイ方式は所定のトランジスタが既にチップ上に用意されていて、そのトランジスタレベルでの配線によって大きなシステムの集積回路を開発するのに対し、スタンダードセル方式はシステムを構成する機能ブロックを必要な数だけ寄せ集めて集積回路化する点で両者は相違する。したって、スタンダードセル方式のみにより製造された集積回路では、ゲートアレイ方式で製造された集積回路のように未使用セルがチップ上に残ることはない。

スタンダードセル方式ではプロセスの全行程に対してカスタムマスクを用意するため、試作完了後に発見された不具合を修正するためには、通常は全マスクの修正とプロセスの全行程を経過しなければならず、高額な費用と長時間を要する問題がある。

(目的)

本発明は、スタンダードセル方式での集積回路の開発において、試作完了時に発見された回路上

THIS PAGE BLANK (USPTO)

の誤りを短期間で修正し、開発を早期に完了させることができる試作半導体装置を提供することを目的とするものである。

(構成)

本発明の半導体装置は、セルライブラリから必要なスタンダードセルが選択され、所定の機能を達成するようにレイアウトが施されているとともに、チップ上でスタンダードセルが配置されていない部分にゲートアレイによる未配線セルが配置されていることを特徴とするものである。

スタンダードセル方式においても、マニュアル配置又は自動配置の如何に拘らず、セル幅の違いなどによってチップ上に未使用部分が残るのが普通である。従来はこの未使用部分はそのまま放置され、試作を完了して量産を行なっていたが、本発明によるスタンダードセル方式ではこの未使用部分に第3図のような通常のゲートアレイで使用されている未配線セルを配置する。

以下、実施例について具体的に説明する。

第1図は本発明によるスタンダードセル方式で

構成されたLSIの1チップの一例を示すものである。記号a～hとして表わされる領域はそれぞれスタンダードセル単体を表わしており、セルライブラリから選択されてレイアウトされたものであり、スタンダードセル間には配線2が施されて目的とする機能を發揮するLSIが構成されている。

選択されるスタンダードセルは、例えばセルaが第2図の回路図に示されるフリップフロップのように、それぞれ論理機能をもつたものであり、幾何学的には第1図にも示されているように高さHが一定で幅Wが不定の形状をしている。

また、本実施例には記号Rで表わされる領域が存在している。この記号Rの領域はスタンダードセルが配置されていない領域であるとともに、この領域Rには通常のゲートアレイで使用されているような未配線セルがリカバリーセルとして設けられている。未配線セルRは試作LSIの回路の変更あるいは修正に使用されるセルである。

未配線セルRの一例は、第3図に示されるよう

な、N MOSトランジスタQ_{n1}、Q_{n2}とPMOSトランジスタQ_{p1}、Q_{p2}を備えたCMOS構造のものである。

また、チップの周縁部には複数の入出力パッド4が配置されている。

第1図のLSIチップの試作完了時の状態において、スタンダードセルa～hの部分は配線も施されて回路が形成されているが、未配線セルRには配線は施されておらず回路は形成されていない。

このLSIチップの試作完了時に不具合がなく、スタンダードセルa～hで構成される回路が所望の機能を果たしている場合には、未配線セルRは量産時にも未配線セルのままとなり、通常のゲートアレイでの未使用セルと同じようにLSIの性能には何ら問題を与えない。

一方、このLSIチップの試作完了時に不具合がある場合には、未配線セルRに配線を施してゲートを追加することにより、回路を変更することができる。

実施例では未配線セルとして第3図にCMOS

構造のものを例示したが、未配線セルはそれに限られるものではなく、通常のゲートアレイで使用されている構造であれば、全て本発明にも適用することができる。

(効果)

本発明はスタンダードセル方式の半導体装置にゲートアレイによる未配線セルを配置したので、試作改訂作業をその未配線セルを用いて行なうことができる。その結果、回路変更に際してはコンタクトホール用のマスクとメタル配線用のマスクを修正するだけでよく、また、プロセス的にもコンタクトホール形成工程以降のプロセスの修正だけで済むため、スタンダードセル部を修正する従来の場合に比べて非常に短期間で試作半導体装置の改訂を完了することができる。

このように、本発明によれば、従来のスタンダードセル方式の半導体装置に比べて、試作改訂作業が、低コスト、かつ短期間で行なうことが可能になる。

4. 図面の簡単な説明

THIS PAGE BLANK (USPTO)

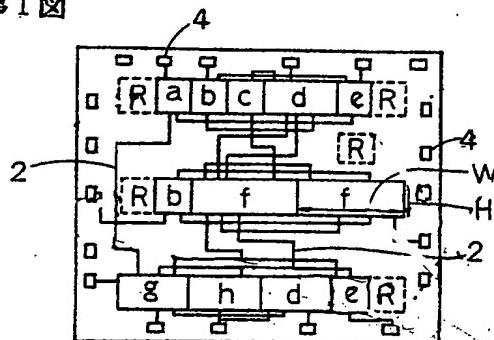
第1図は一実施例を示す概略平面図、第2図は同実施例におけるスタンダードセルの単体の一例を示す回路図、第3図は同実施例における未配線セルの一例を示す回路図である。

a～h……スタンダードセル。

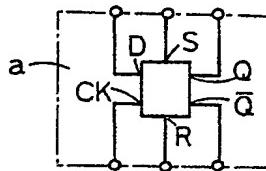
R……未配線セル。

代理人 弁理士 野口繁雄

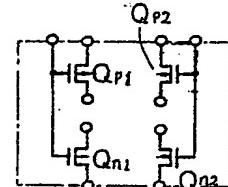
第1図



第2図



第3図



THIS PAGE BLANK (USPTO)